

(54) DATA PROCESSING UNIT

(11) Kokai No. 52-68340 (43) 6.7.1977 (21) Appl. No. 50-144035

(22) 12.5.1975

(71) HITACHI SEISAKUSHO K.K.

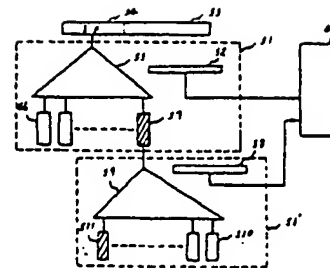
(72) KAZUYOSHI ASADA (2)

(52) JPC: 97(7)F1;54(7)E0

(51) Int. Cl¹. G06F9/06, G05B19/00

PURPOSE: To make one unit of processing unit serve for both computer and sequencer by switching operation mode of the processing unit.

CONSTITUTION: The instruction of program counter PC52 for computer mode is first set to register 53 from main memory 41, and then the instruction operation code 54 selects control module 56 via decoder 55 to execute control based on the instruction. Here, if instruction is switched to sequencer mode and control module 57 is started, PC52 is stopped and PC58 is started to read instruction to register 53 from unit 41. Then, operation code 54 is read by decoder 59, and control module 510 is started to perform control of instruction contents. If instruction is switched to computer mode and control module 510 is started by decoder 59, PC58 is stopped and PC52 is started respectively. As a result, operation code 54 of the instruction which is read to register 53 from unit 41 is read at decoder 55 to start module 56.





特 許 願 32

昭和 50 年 12 月 5 日

特許庁官 殿

発 明 の 名 称 データ処理装置

発 明 者

〒 100 東京都千代田区九の内一丁目5番1号
株式会社 日立製作所 大みか工場内
氏 名 浅 田 和 佳

(11A-2-6)

特 許 出 願 人

〒 100 東京都千代田区九の内一丁目5番1号
株式会社 日立製作所
氏 名 浅 田 和 佳

代 理 人

〒 100 東京都千代田区九の内一丁目5番1号
株式会社 日立製作所 内
電話東京 270-2111 (大代表)

氏 名 (特許) 浅 田 和 佳

① 日本国特許庁

公開特許公報

① 特開昭 52-68340

④ 公開日 昭 52. (1977). 6. 7

② 特願昭 50-144035

② 出願日 昭 50. (1975) 12. 5

審査請求 有 (全7頁)

庁内整理番号

6341 f6
6346 f8

⑤ 日本分類

P717F1
F417E0

⑤ Int. Cl²

G06F P/06
G07B P/00

識別
記号

明 細 書

発明の名称 データ処理装置

特許請求の範囲

データ及び命令を格納しておく主記憶装置と、外部機器とのデータの授受を行う入出力装置と、データ及び命令を一時記憶するレジスタ群と、レジスタ間を互いに接続するデータストラクチャと、命令を判読し、命令に従いレジスタ群を含む処理装置を制御する制御機構よりなるデータ処理装置において、制御機構として、コンピュータモード命令群の各々の命令を実行するコンピュータモード制御機構と、シーケンサモード命令群の各々の命令を実行するシーケンサモード制御機構を有し、各コンピュータモード命令群およびシーケンサモード命令群中にそれぞれ他のモードへのモード切替命令を設け、且つ各制御機構にそれぞれ該モード切替命令を判読した場合にモード切替を行わせる制御モジュールを設けたことを特徴とするデータ処理装置。

発明の詳細な説明

本発明は、一般的電子計算機が持つコンピュータモードの制御機構と、シーケンス制御専用計算機としてのシーケンサモードの制御機構を持つ処理装置に関し、特にコンピュータモードとシーケンサモード相互間を切替えることにより1台の装置でコンピュータとしての動作とシーケンサとしての動作の機能を持たせんとするものである。

本発明の具体的説明の前に、まず、従来におけるストアードプログラム方式のシーケンサについて述べる。

第1図において、シーケンサは処理装置11及び入出力バス14に接続された入力点12及び出力点13により構成される。今シーケンス動作の一例として、第2図のラダーシンボルにて書かれたシーケンスを例にとる。ここで常閉接点は201にて代表されるシンボルで書かれ、常開接点は202にて代表されるシンボルで書かれる。また207のシンボルは出力コイルを示す。21、23はプルインを示す。22、24は番号線の結合点を示す。

す。各接点及び出力コイルは、処理装置外部の点である場合もあるし、又処理装置内部メモリに置き換えられた点である場合もある。外部状態制御用出力コイル及び外部状態検出用接点は入出力バス14を通して出力点13及び入力点12によつて与えられる。第2図のシーケンスをプログラム命令としてコーディングすれば下記となる。

命令	入出力点	
1 SQBS		シーケンスブロックの開始を示す。
2 BRS		ブランチ23があることを示す。
3 BRS		ブランチ21があることを示す。
4 SAND 201		A接点201がある。
5 NAND 202		B接点202がある。
6 BRR		ブランチ21へ戻る。
7 SAND 203		A接点203がある。
8 BRR		ブランチ21へ戻る。
9 NAND 204		B接点204がある。

1 SAND	(A..) \wedge (PA) \rightarrow A..
2 NAND	(A..) \wedge ($\overline{\text{PA}}$) \rightarrow A..
3 OUT	(A..) \rightarrow PA
4 SQBS	1 \rightarrow A... 0 \rightarrow WK
5 BRS	(A..) \rightarrow STACK. (STACKPTR) + 1 \rightarrow STACKPTR
6 BRR	(A..) \vee (WK) \rightarrow WK. (STACK) \rightarrow A..
7 BRE	(A..) \vee (WK) \rightarrow A... (STACKPTR) - 1 \rightarrow STACKPTR 0 \rightarrow WK

各処理内容中()はそのメモリの内容を示す。-は信号値の移動を示す。

上記に示された命令の処理を、コーディングされた一連のシーケンス命令に従って実行すれば、入力接点の状態の論理演算結果を出力点に導くことになるわけである。シーケンサはこの一連のシーケンス動作を高速にくり返し連続動作することにより、実際のリレーシーケンスと等価な働きをする。しかしながら従来の方式には困難な問題

特開昭52-68340(2)
結合点22でブランチ
が結合される。

10 BRE		
11 SAND 205		A接点205がある。
12 BRR		ブランチ23へ戻る。
13 SAND 206		A接点206がある。
14 BRE		結合点24でブランチ が結合される。
15 OUT 207		リレーコイル207に 出力

上記コーディングが第2図シーケンスのプログラムとなる。このプログラムを処理装置11で実行することにより、ラダーシンボル第2図と等価な処理を行なわせることができる。次に各命令の命令の処理について説明する。今A...WKは有効ビット1ビットのメモリ、STACKは複数個のメモリ、STACKPTRはSTACKのアドレスを示すものとし、またPAは外部入出力点のアドレス、又は内部メモリに置き換えられた入出力点のアドレスを示すものとする。

命令 処理内容

が1つある。すなわち、シーケンサは接点信号等のデジタル的シーケンス処理しかできないことである。一般にプロセスはデジタル的シーケンス制御の他、アナログ信号が共存している場合が多い。このため、プロセス入出力装置が必要となり、更にアナログ-デジタル変換データ処理が必要となる。シーケンサはその高速なシーケンス処理を得意とするが、このアナログ入出力とデータ処理は不可能であつた。従がつて従来はシーケンサとコンピュータを2台用意して、処理をさせていた。

さらにプロセス入出力とシーケンサ接点信号データとで関連のある処理の場合、2台の装置間でデータの授受を行なう必要があり、その授受の機構が複雑であつた。

本発明の目的は、上記欠点を無くし、1台の装置(シーケンサも含む)でアナログ入出力、又データの処理ができるコンピュータ機構と、高速にデジタル的シーケンス制御のできるシーケンサ機構をもち、安価に両制御を行わせしむデー

タ処理装置を提供することにある。

本発明の特徴とするところは処理装置の動作モードを切替えることにより、コンピュータとして動作させることも、シーケンサとして動作させることも可能としていることである。これにより、本発明では、シーケンサとして高速のシーケンス動作を行ない、またコンピュータとしてマシンコミュニケーション（以後MCSと略称する）を実現し、更にアナログデータの授受、データ処理が出来る。

本発明によるコンピュータモードには一般のコンピュータと等価な命令として、論理演算命令、算術演算命令、メモリ関係命令、入出力命令等がある。また上記命令以外に、コンピュータモードからシーケンサモードに処理装置を切り替える命令としてSTART命令を持つ。この命令をコンピュータモードで実行することにより、処理装置はシーケンサになる。またシーケンサモードには従来用いられていたシーケンサ命令以外に、SEND命令を持つ。SEND命令をシーケ

ンサモードで実行することにより、処理装置はコンピュータモードに切り替わる。この様に、処理装置は1台にてコンピュータとシーケンサの2台の機能を持つ。次に処理装置のモード切り換えの手順を説明する。処理装置は、電源投入時あるいは動作開始直後コンピュータモードにある。コンピュータモードからシーケンサモードに切り換えるためにSTART命令を発すれば処理装置はシーケンサとなる。シーケンサとなつた処理装置は一連のシーケンス命令を実行する。シーケンスプログラムには、一連のシーケンス命令終了時点でSEND命令を組み込んでおく。処理装置がSEND命令を実行すれば、処理装置はコンピュータとなる。

従来シーケンサは一連の命令を高速にくり返し行ない、結果としてあたかもラダーシンボルと等価な働きをした。本発明による処理装置は一連のシーケンス命令を1回実行すればコンピュータモードに復帰する。コンピュータとしての処理装置は、コンピュータとしてのタスクがなければ、

続いてシーケンサモードへの切り替えを行ない、シーケンサ動作を行なう。この様に一連のシーケンサ命令をくり返すわけである。もしコンピュータとしてのタスクがあれば、タスクを終了してから、シーケンサモードへもどるわけである。コンピュータモードのタスクとしては、アナログデータの出力、データの処理、更にマシンコミュニケーションタスクすなわちMCS処理等がある。シーケンサのデバッグは、このMCSによりコンピュータモードとシーケンサモードを高速にくり返すことにより、コンピュータとしての動作を行なうことも、シーケンサとして動作することも可能となる。シーケンサとしての処理装置は一連のシーケンス命令をくり返し高速に実行するため、ラダーシンボルのシーケンスと等価な働きをする。

以下、本発明による一実施例を説明する。第1図における処理装置11は、第3図において、データ及び命令を格納しておく主記憶装置41と、外部バス14を制御する入出力部42と、データ

を一時記憶するレジスタ群43と、レジスタ間を互いに接続するデータストラクチャ44と、命令を判読し、命令に従がい処理装置を制御する制御機構45とで構成される。またレジスタ群43は、演算レジスタ、プログラムカウンタPC（以後P.C.と書く）、メモリアドレスレジスタ等から成る。制御機構45は、第4図に示すごとく、コンピュータモード制御機構51、及びシーケンサモード制御機構51'より成る。まずコンピュータモードから始めるとして、コンピュータモード用PC52の指示する命令が主記憶装置41から読み出され、レジスタ53にセットされる。命令のオペコード54は、コンピュータモード用デコーダ55にて判読される。命令が判読されると命令に該当する制御モジュール56が選択され、起動する。制御モジュールは命令の意図する制御を実行する。もし命令がシーケンサモードへの切り替え命令、START命令により制御モジュール57が起動されれば、制御モジュール57は、コンピュータモード用PC52を停止さ

せ、シーケンサ-用PC58を起動させ、主記憶装置41から命令をレジスタ53に読み出し、シーケンサ-モード用デコーダ-59によりオペコード54を判読させる。判読されたシーケンサ-命令により対応する制御モジュール510が起動する。制御モジュールは命令の意図する制御を実行する。もし命令がコンピュータモードへの切り替え命令、SEND命令であり、デコーダ-59により、SEND制御モジュール510が起動されれば、制御モジュール510は、シーケンサ-用PC58を停止させ、コンピュータ用PC52を起動させる。主記憶装置41からレジスタ53に読み出された命令のオペコード54は、デコーダ-55で判読され、制御モジュール56を起動する。以上の手順により両モードが切り替わるわけである。なおデコーダ-55及び59と、制御モジュール56、57、510、及び511は、ワイヤードロジックによる回路であつてもリードオンリーメモリ(ROM)に焼き込まれたマイクロプログラムに一部助けられた、

る。対応する制御モジュール56が選ばれると、制御モジュール72は停止し、命令に対応する制御モジュール56が起動する。選ばれた制御モジュール56は自己のROMパターンに従ひ、処理装置各部を制御する信号73、74を出す。制御処理が終了すれば、信号75により制御モジュール72を起動させ、自己モジュール56は停止する。これで1つのコンピュータ命令が終了したことになる。次のコンピュータ命令をデコードすれば、制御モジュール72は停止する。もし命令がSTART命令ならば、モード切り替え用の制御モジュール57が選ばれる。制御モジュール57が起動し、制御信号76を出す。制御信号76はコンピュータ用プログラムカウンタ-52からシーケンサ-用プログラムカウンタ-58に切り替える。シーケンサ-用PC(プログラムカウンタ-)58にて指示された主記憶装置41のシーケンス命令はレジスタ53に入る。制御モジュール57はオペコード54をシーケンサ-用デコーダ-59に導く。これでシーケンサ-モ-

1 回路よりなる制御機構でもよい。

2 制御モジュール58は各命令に対応する論理制御回路であり、各モジュールごとに異なる論理を持つ。第5図に、ROMに焼き込まれた、マイクロプログラムに一部助けられた、制御モジュール回路の中心部を示す。制御パターンはROM62に焼き込まれている。レジスタ63はROM62のアドレスを示す。信号線64は次に読み出すパターンのアドレスをレジスタ63に送る。信号線65、66は本モジュールを起動させる。ROM62の出力パターンである信号線67、68は、処理装置を制御する制御信号線である。次に各制御モジュールの働きを第6図に示す。まず処理装置はコンピュータモードから始まる。コンピュータ命令のオペコード54をデコードするコンピュータモード用デコーダ-55は信号71によつて制御される。該信号は制御モジュール72より出る。制御モジュール72はコンピュータモード時にオペコードをデコードし、コンピュータ命令に対応する制御モジュールを選択させ

ドになつたわけである。シーケンサ-命令に対応した制御モジュール510がデコーダ-59にて選ばれる。制御モジュール510は処理を完了すると、信号77により制御モジュール57を再起動する。制御モジュール57は起動すると、次の新しいシーケンサ-命令をデコーダ-59に導き、命令に対応するモジュールを選び、停止する。もし命令がSEND命令であれば、モジュール511が選ばれる。モジュール511は起動すると、シーケンサ-モードからコンピュータモードに切り替えるため、制御モジュール72を起動し、自己モジュールを停止する。これでコンピュータモードに切り替わつたわけである。制御モジュール72は、コンピュータ命令をデコードし、対応するコンピュータ命令制御モジュールを起動させ、停止する。プログラムカウンタPCはモジュール57が動作中のみシーケンサ-用PC58が選ばれる。

ここで制御モジュールについて考察するに、本処理装置中、働いているモジュールは常に1個で

ある。よつてROMを共通のアドレスレジスタで指示することが可能である。第7図は、共通ROMアドレスレジスタ81、ROM82、コンピューター用デコーダー55、シーケンサ用デコーダー59により構成された、第6図と等価な処理装置を示す。

デコーダーはデコーダーの入力条件を増加してやれば、第7図のデコーダー55とデコーダー59を、入力ビット数の大きなデコーダーに置き替えることができる。第8図に、より簡単な構成とした処理装置を示す。デコーダー91は第7図のデコーダー55とデコーダー59の2台分の作用をする。これは信号線92、93によつて働く。

以上説明のごとく、本発明においては、シーケンサモードとコンピューターモードは命令によつて切り替わる。さて一連のコンピューター命令中には、マシンシミュレーション(MSC)によるプログラムのデバッグ用プログラムあるいは、アナログ-デジタル変換、あるいはデ

ターの演算処理等のプログラムがある。この場合、一連のシーケンサモードの命令の終りにSEND命令を付け、一連のコンピューターモードの命令の終りにSTART命令を付ける。このようにすると、SEND命令とSTART命令により処理装置は、シーケンサモードとコンピューターモードを互いにくり返すことになる。処理装置は、シーケンサモードとコンピューターモードを高速にくり返していることになる。よつて処理装置はシーケンサとして十分役目を果たし、またコンピューターとしての役目も果たすわけである。これにより、シーケンサ制御、アナログデータ処理の両方が必要なプラント(一般にこれが多い。)に対して安価な制御装置を提供することができる。

図面の簡単な説明

第1図はシーケンサのブロック図、第2図はラダーシンボルのシーケンス例、第3図は本発明の概略構成図、第4図は本発明の要部の具体例の1つを示す図、第5図はマイクロプログラム方式の制御モジュール説明図、第6図は第5図の制御

モジュールを用いた処理装置、第7図は制御モジュールを共用にした処理装置、第8図はデコーダーを共用にした処理装置を示すものである。

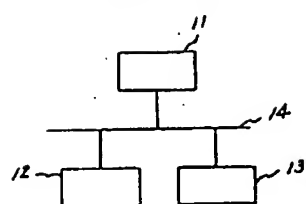
符 号 の 説 明

41	主記憶装置
42	入出力装置
43	レジスタ群
44	データストラクチャー
45	制御機構
51	コンピューターモード制御機構
51'	シーケンサモード制御機構
52	コンピューターモード用プログラムカウンタ
53	レジスタ
54	命令のオペコード
55	コンピューターモード用デコーダ
56、57	制御モジュール
58	シーケンサモード用プログラムカウンタ

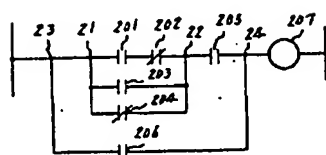
59	シーケンサモード用デコーダ
510	制御モジュール
511	制御モジュール

代理人 弁理士 高橋明夫

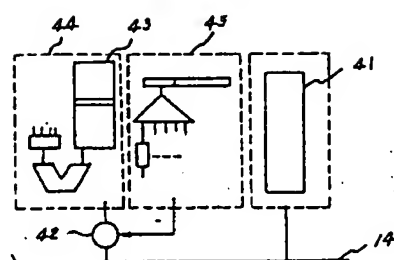
第 1 図



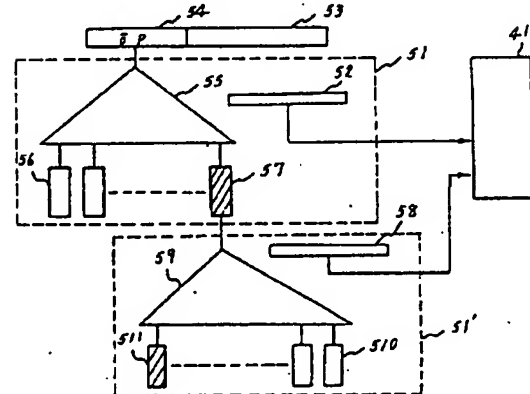
第 2 図



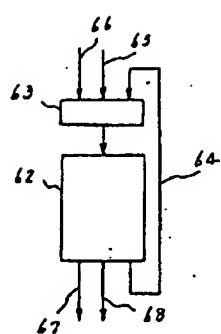
第 3 図



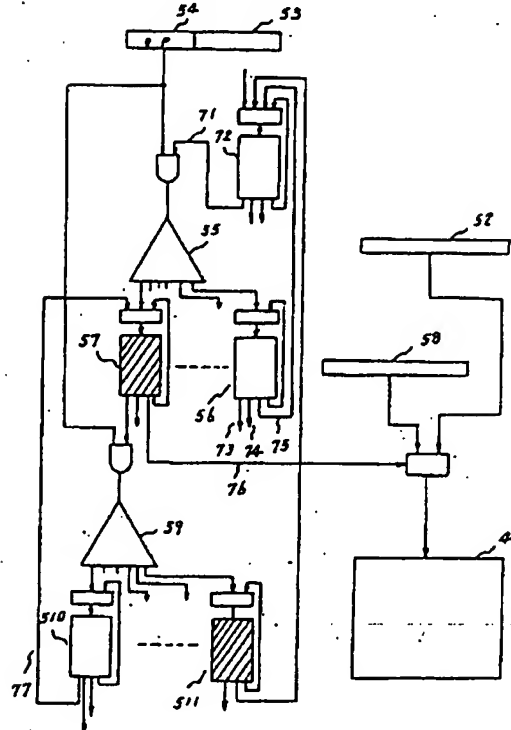
第 4 図



第 5 図



第 6 図



添附書類の目録

- (1) 概 説 書 1冊
- (2) 図 面 1冊
- (3) 特 許 状 1通
- (4) 特 許 審 判 本 1通
- (5) 必 要 書 件 書 3冊

前記以外の発明者、特許出願人または代理人

発 明 者

茨城県日立市大みか町5丁目2番1号
株式会社日立製作所 大みか工場内
安 田 元

住 所 同 上

氏 名 大 庭 邦 彦

